

(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08148526 A**(43) Date of publication of application: **07.06.96**

(51) Int. Cl.  
**H01L 21/60**  
**H01L 23/02**  
**H01L 23/12**  
**H01L 23/50**

(21) Application number: **07157294**(71) Applicant: **NEC CORP**(22) Date of filing: **23.06.95**

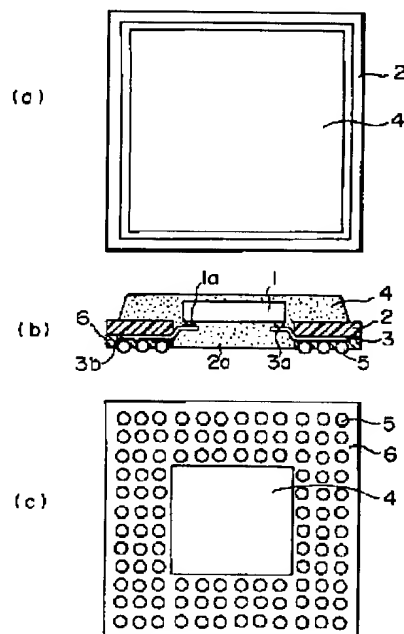
(72) Inventor:  
**KAJIWARA MAMORU**  
**NAKAMURA TSUGUO**

(30) Priority: **22.09.94 JP 06252739****(54) SEMICONDUCTOR DEVICE****(57) Abstract:**

**PURPOSE:** To facilitate mounting onto a printed board by arranging lands, in grid array, on a flexible resin board except a device hole thereby setting a wider interval between outer terminals for predetermined pin count and package size.

**CONSTITUTION:** A flexible resin board 2, e.g. a polyimide board, having a central device hole 2a is provided, on the surface thereof, with a copper foil wiring lead 3. The wiring lead 3 comprises a part projecting into the device hole 2a, i.e., an inner lead 3a, to be connected with a semiconductor chip 1 and a wider land 3b on the opposite side. The lands 3b are arranged in grid array and a bump 5 bonded with a solder ball is formed on each land 3b. Upper surface of the semiconductor chip and the rear surface thereof except the lands 3b are coated with insulating resin 4, 6. This structure produces a moisture resistant BGA type semiconductor with high mass productivity at low cost without requiring the through hole plating process or the like.

COPYRIGHT: (C)1996,JPO



(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平8-148526

(43) 公開日 平成8年(1996)6月7日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/60	3 1 1 R	7726-4E		
23/02	B			
23/12				
23/50	R			

H 0 1 L 23/ 12 L  
審査請求 有 請求項の数 8 O L (全 7 頁)

(21) 出願番号 特願平7-157294

(22) 出願日 平成7年(1995)6月23日

(31) 優先権主張番号 特願平6-252739

(32) 優先日 平6(1994)9月22日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 梶原 譲

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 中村 嗣雄

東京都港区芝五丁目7番1号 日本電気株式会社内

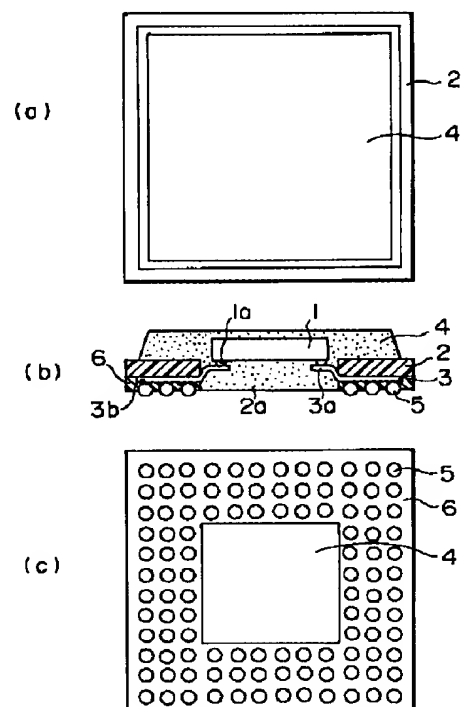
(74) 代理人 弁理士 鈴木 弘男

(54) 【発明の名称】 半導体装置

(57) 【要約】

【目的】 耐湿性が高く、低コストで、しかも量産性の高いBGA型の半導体装置を提供すること。

【構成】 中央にデバイスホール2aが開口された可撓性樹脂基板2、可撓性樹脂基板の第1主面上に設けられ一端が前記デバイスホール内に突出してインナーリード3aになされ一部にランド3bが形成されている配線リード3とを有するテープキャリアと、電極端子1aが前記インナーリードに接続された半導体チップ1、少なくとも半導体チップの電極端子1a形成面を封止するとともに可撓性樹脂基板の第2主面上の均一の厚さに被覆する封止樹脂4と、ランド3b上に形成された導電性パンプ5と、を備え、ランド3bがデバイスホール2a開口部を除いて可撓性樹脂基板2上にグリッドアレイ状に配置されている。



## 【特許請求の範囲】

【請求項1】 中央にデバイスホールが開口された可撓性樹脂基板と、該可撓性樹脂基板の第1主面上に設けられ且つ一端が前記デバイスホール内に突出してインナーリードになされ一部にランドが形成されている配線リードとを有するテープキャリアと、

電極端子が前記インナーリードに接続された半導体チップと、

少なくとも前記半導体チップの電極端子形成面を封止するとともに前記可撓性樹脂基板の第2主面上を均一の厚さに被覆する封止樹脂と、

前記ランド上に形成された導電性バンプと、を備え、前記ランドが前記デバイスホール開口部を除いて前記可撓性樹脂基板上にグリッドアレイ状に配置されていることを特徴とする半導体装置。

【請求項2】 前記封止樹脂が中央部に、前記配線リード面より高くかつ前記導電性バンプの先端部より低い中央突起部を有することを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記封止樹脂は複数箇所において前記テープキャリアの外周部を越えて前記可撓性樹脂基板側面および第1主面をも被覆しており、かつ、その第1主面における高さは前記導電性バンプより低いことを特徴とする請求項1に記載の半導体装置。

【請求項4】 前記テープキャリアの配線リードの形成面はランド形成部を除いて絶縁樹脂膜によって被覆されていることを特徴とする請求項1に記載の半導体装置。

【請求項5】 前記半導体チップの電極端子の形成面と反対側の面は前記封止樹脂から露出されていることを特徴とする請求項1に記載の半導体装置。

【請求項6】 前記配線リードと前記半導体チップの電極端子とがボンディングワイヤで接続されていることを特徴とする請求項1に記載の半導体装置。

【請求項7】 前記デバイスホールの中に半導体チップを支えるためのチップ搭載部を設けたことを特徴とする請求項1に記載の半導体装置。

【請求項8】 前記中央突起が前記導電性バンプの直径の半分の高さを有することを特徴とする請求項2に記載の半導体装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は半導体装置に関し、特にテープキャリア (Tape Carrier) を用いたBAG (Ball Grid Array) 構造の半導体装置に関するものである。

## 【0002】

【従来技術】 OA機器・民生機器が多機能・高性能化されるとともにその軽薄短小化が進められるのに伴い、半導体装置に対する多ピン化・小型化への要求は益々強められており、そのための開発が活発に進められている。

例えば、QFP (Quad FlatPackage) 型の装置では、

多ピン化・小型化に伴いプリント基板実装のピッチも0.65mmピッチから0.5mmピッチへと縮小され、さらに0.4mmピッチのものが量産化されている。

【0003】 しかし、反動体装置が300～400ピン以上になってくると、半導体装置の外形を大きくしないでこれに対応するには、さらにリードピッチ、リード幅を狭くする必要があるが出てくるが、より高い精度でのコプラナリティ (リードの平坦性) の確保、プリント基板の半田電極形成精度等の問題から、現状では0.3mmピッチの製品を量産時に安定して信頼性高く実装することは困難であるとされている。

【0004】 そこで、QFPのようにパッケージ周辺部から直線的にピンを取り出す方式に代えて2次元的にピンを配置するPGA (Pin Grid Array) やLGA (Lang Grid Array) と呼ばれるパッケージ構造が採用されるようになってきている。更に、最近では半田を半導体装置側に持たせるようにして実装性を向上させたパッケージ構造が提案され実用化されている。

【0005】 図6は従来の半導体装置の断面図である。

【0006】 図6の半導体装置はBGAと呼ばれるもので、ガラスエポキシ基板7の両面配線基板がパッケージ基板として用いられる。すなわち、半導体チップ1はガラスエポキシ基板7上にマウント10材を介して搭載される。

【0007】 ガラスエポキシ基板7上には配線リード8が形成され、また、基板裏面にはランド (図示せず) がグリッドアレイ上に配置されている。基板表面の配線リード8とランドとはスルーホール9を介して接続されており、各ランド上には半田ボールからなるバンプ5が形成されている。半導体チップ1の電極パッド1と配線リード8間にはAu細線等からなるボンディングワイヤ11により接続されており、半導体チップ1及びボンディングワイヤ11等は、ガラスエポキシ基板7の表面を覆う封止樹脂4により封止されている。

【0008】 このBGA型半導体装置では、平面的に外部端子が配列されるため、半導体装置の多ピン化が進められても、ピン間間隔 (バンプ間間隔) を広げることができ、実装上での負担を軽減することができる。

【0009】 なお、この種のBGA型半導体装置は、例えば米国特許第5,216,278号明細書等により公知となっている。

## 【0010】

【発明が解決しようとする課題】 上述した従来のBGA型半導体装置では、パッケージ基板にガラスエポキシを使っているため、基板と封止樹脂との密着性が悪く、例えば半導体装置組み立て後のPCT (Pressure Cooker Test) による吸湿性の試験で、ガラスエポキシと樹脂との界面から水分が侵入し易いという欠点があり、さらに半導体チップが搭載されるガラスエポキシ基板自体も基

板端面からの水分侵入を受け易く耐湿性が低いため、半導体装置の仕様範囲に制限を受けてしまうという問題があった。

【0011】ここで、パッケージ基板としてガラスエポキシに代えセラミック基板を用いれば、耐湿性を向上させることができる。しかし、この場合基板コストが高額となり、やはり使用範囲が限定されてしまう。

【0012】また、従来のBGA型半導体装置では、パッケージ基板としてリジッドな基板を用いているため、量産性が低くさらに両面配線基板を使用し、基板の表裏面のパターンをスルーホールで接続しなければならないため、基板コストが高くなるという問題点があった。

【0013】本発明は上述の点にかんがみてなされたもので、耐湿性が高く、低コストで、しかも量産性の高いBGA型の半導体装置を提供することを目的とする。

【0014】  
【課題を解決するための手段】上記目的を達成するため、本発明は中央にデバイスホールが開口された可撓性樹脂基板と、該可撓性樹脂基板の第1主面上に設けられ、一端が前記デバイスホール内に突出してインナーリードになされ一部にランドが形成されている配線リードとを有するテープキャリアと、電極端子が前記インナーリードに接続された半導体チップと、少なくとも前記半導体チップの電極端子形成面を封止するとともに前記可撓性樹脂基板の第2主面上の均一の厚さに被覆する封止樹脂と、前記ランド上に形成された導電性バンプと、を備え、前記ランドが前記デバイスホール開口部を除いて前記可撓性樹脂基板上にグリッドアレイ状に配置されていることを特徴とする。

【0015】また、本発明は前記封止樹脂が中央部に、前記配線リード面より高くかつ前記導電性バンプの先端部より低い中央突起部を有することを特徴とする。

【0016】また、本発明は複数箇所において前記テープキャリアの外周部を越えて前記可撓性樹脂基板側面および第1主面をも被覆しており、かつ、その第1主面における高さは前記導電性バンプより低いことを特徴とする。また、前記中央突起が前記導電性バンプの直径の半分の高さを有することを特徴とする。

【0017】また、本発明は前記テープキャリアの配線リードの形成面はランド形成部を除いて絶縁樹脂膜によって被覆されていることを特徴とする。

【0018】また、本発明は前記半導体チップの電極端子の形成面と反対側の面は前記封止樹脂から露出されていることを特徴とする。

【0019】また、本発明は前記配線リードと前記半導体チップの電極端子とがボンディングワイヤで接続されたことを特徴とする。

【0020】また、本発明は前記デバイスホールの中に半導体チップを支えるためのチップ搭載部を設けたことを特徴とする。

【0021】また、本発明は前記中央突起が前記導電性バンプの直径の半分の高さを有することを特徴とする。

【0022】

【作用】本発明による半導体装置はテープキャリアに半導体チップを搭載することにより、次のような作用を呈する。

【0023】(1) パッケージ基板として、安価な3レイヤー1メタル方式のキャリアテープを使用しており、さらにスルーホールメッキ等の工程を必要としないので、BGA型半導体装置を安価にする。(2) 既に確立した技術であるTCTP技術をほぼそのまま適用して製造することができ、量産性が高いので上記(1)の作用に加え、一層のコストダウンが可能である。

【0024】更に、本発明による半導体装置はモールド樹脂により半導体チップを封止するとともに、テープキャリアの配線リードの形成されていない面の大部分あるいはガラスエポキシ基板使用タイプであってもそのデバイスホールをモールド樹脂にて被覆し、さらに配線リード、配線パターンを通じてグリッドアレイ状に設けたランド上にバンプを形成したものである。(3) 半導体チップをモールド樹脂により完全に被覆することができるので、耐湿性を向上させる。(4) 更に、本発明による半導体装置はモールド樹脂が可撓性樹脂基板の表面をその四辺端部近傍まで均一の厚さに被覆されているので、他の補強材を用いることなく剛性を確保することができ、その取扱は容易である。また、このモールド樹脂により外部端子であるバンプのコプラナリティも確保する。(5) 封止樹脂(モールド樹脂)が配線リード側に突起部を形成する実施例によれば半田バンプの過剰な潰れを防止する。従って、この実施例によれば、実装基板上の電極とランドとの距離を所定の値に保持するとともに、電極間のショートを防止するので、信頼性の高い実装が可能になる。(6) 電気的配線長を従来構造品よりも短くすることができ、高周波領域まで使用が可能になる。

【0025】

【実施例】以下に本発明を図面に基づいて説明する。

【0026】図1は本発明にかかる半導体装置の第1実施例の概略構成を説明する図であり、(a)は平面図、(b)は断面図、(c)は底面図である。

【0027】図1に示す第1実施例において、ポリイミドフィルム等からなり、中央にデバイスホール2aが開口されている可撓性樹脂基板2の表面に、銅箔からなる配線リード3を設けたテープキャリアがパッケージ基板として用いられる。配線リード3のデバイスホール2a内への突出部はインナーリード3aとされており、また、配線リード3はインナーリード3aの反対側の端部、またはその途中において他の部分より幅広にされたランド3bを有している。ランド3bはグリッドアレイ状に配置されている(図1(c)参照)。このテープキ

キャリアの表面は、ランド部を除いて絶縁樹脂膜6により覆われている。

【0028】半導体チップ1は、モールド樹脂である封止樹脂4により完全に被覆されている。封止樹脂4は可撓性樹脂基板2の配線リードの形成されていない面を四辺端部の近傍付近まで均一な厚さに被覆している。本実施例では、この封止樹脂4の強度により剛性が与えられており、補強材などの別部品を配置することなく、単純な構造でテープキャリアの変形防止が可能となっている。半導体チップ1の電極端子1aがインナーリード3aに接続されている。

【0029】配線リード3に設けられたランド3上には、半田ボールを固着することにより形成されたバンプ5が形成されている。

【0030】本発明によるテープキャリア方式BGA型半導体装置は、安価な3レイヤー1メタル方式（可撓性フィルムに銅箔を接着剤により接着する方式）のキャリアテープを用いて製造されるものであり、また、スルーホールめっき等の工程を必要としないのでローコストで製造することができる。その製造工程は、既にTCP（Tape Carrier Package）技術として確立した製造手段をほぼそのまま適用して製造することができるので、容易であり、また、量産性も極めて高い。

【0031】この実施例においては、半導体チップはモールド樹脂により完全に被覆されているので、従来のBGA型半導体装置に比較して耐湿性が向上している。

【0032】また、可撓性樹脂基板の表面をその四辺端部近傍まで被覆する封止樹脂4により剛性が与えられているので、他の補強材を用いる必要はなく、その取扱は容易である。また、この封止樹脂4によりバンプ5のコプラナリティも確保することができるので、プリント基板上への実装も容易である。また、QFP等の他の従来型の表面実装型半導体装置と同時に実装することができる。

【0033】また、本発明の半導体装置においては、外部端子がバンプとグリッドアレイ状に配列されているので、パッケージ外周部より直線的に外部端子を引き出す場合に比較して同一ピン数、同一パッケージサイズの場合には外部端子間の間隔をより広く設定できるようになる。例えば、ピン数300～400の場合に、バンプ5のピッチを1mm～1.5mmまで広くすることができるようになり、プリント基板への実装が容易となる。あるいは、外部端子のピッチを同一とする場合には、同一サイズのパッケージからより多くの外部端子を引き出すことができる。

【0034】図2は本発明にかかる半導体装置の第2実施例の概略構成を説明する図であり、(a)は平面図、(b)は(a)のII-II線上断面矢視図である。

【0035】図2において、図1の第1実施例の説明に使用した部分と同等の部分は同一の参照番号が付されて

いるので、重複する説明は省略する。

【0036】この第2実施例においては、可撓性樹脂基板2の配線リード3の形成されていない面を被覆する封止樹脂4が、可撓性樹脂基板2の四隅においてこの四隅を越えて配線リードの形成されている面にまで延長され、その配線リードの形成面においてコーナ突起部4を形成している。

【0037】4つのコーナ突起部4bの底面は同一平面を形成しており、バンプ5の底面より少し高い位置にあるように形成されている。

【0038】また、封止樹脂4はデバイスホール2aを越えて基板下に突出して中央突起部4aを形成している。この中央突起部4aの底面は平坦にされ、コーナ突起部4bの底面は同一平面を形成している。

【0039】この第2実施例においては、半導体装置のプリント基板への実装時に、半導体装置またはプリント基板の傾きに起因する一部のバンプへの荷重の集中をこの突起部4a、突起部4bで受けることで軽減することができ、バンプの過剰変形によるショート等の不良を低減することが可能となる。

【0040】この第2実施例においては、中央部とコーナ部の両方に突起部を形成しているが、かならずしも両方に設ける必要はなくいずれか一方のみとすることができる。また、コーナ突起部4bに加えて、あるいはこれに代えて可撓性基板2の各辺の1ないし数箇所において封止樹脂をリード形成面まで延長させて突起部を形成することもできる。

【0041】図3は本発明にかかる半導体装置の第3実施例の概略構成を説明する断面図である。

【0042】この第3実施例が前述の第1実施例と相違する点は、半導体チップ1の裏面が封止樹脂4に被覆されないで露出している点である。第3実施例の半導体装置では、放熱板（図示せず）等を半導体チップ1の裏面に直接接触させることができるため、発熱量の大きい高性能半導体装置に対し、低熱抵抗化の対応が容易となる。

【0043】なお、この第3実施例においては、半導体チップは一部表面が露出しているため、モールド樹脂により完全に封止されている第1実施例および第2実施例に比較して耐湿性では劣っている。したがって、耐湿性の要求される用途には第1実施例または第2実施例のものを使用する等の使い分けが必要となる。

【0044】図4は本発明にかかる半導体装置の第4実施例の概略構成を説明する断面図である。

【0045】この第4実施例では、半導体チップ1をガラスエポキシ基板7にいわゆるフェースダウンで搭載する。その搭載位置はガラスエポキシ基板7の中央のデバイスホール2aの上である。デバイスホール2aは半導体チップ1が落下しないような形状でなければならない。この第4実施例では半導体チップ1よりも小さな面

10

20

30

40

50

積のデバイスホール2 aとした。ガラスエポキシ基板7には予め同一面上にボンディング点1 2とパンプ実装用ランド3 bを設けておく。両者は配線パターン1 3で接続されている。

【0046】次に、ワイヤボンディングを行う。ワイヤボンディングはデバイスホール2 aを通して行う。これにより、半導体チップ1からパンプ実装用ランド3 bまではほぼ一直線に接続され、きわめて短い配線長となる。

【0047】ワイヤボンディングの後、封止樹脂4による封止を行う。封止樹脂4は少なくとも半導体チップ1とデバイスホール2 aを覆い、パンプ側の面に飛び出す。飛び出す高さはパンプ直径の1/2とする。この高さにしたのは、両面樹脂封止の際、なるべく均等な樹脂厚とすることで、ガラスエポキシ基板7と封止樹脂4の熱膨張係数の差による半導体装置全体の反りを抑えるためである。すなわち、現在主流のパンプとして使われている半田ボールで考えた場合、半田ボール径0.76 mmに対し、半導体チップの厚さは0.3~0.5 mmであり、ボール径の1/2の樹脂厚で両面樹脂封止すれば、半導体チップをまさに覆うことができるからである。熱抵抗を小さくするにはチップの裏面を露出させるのが良い。しかし、耐湿性向上の面から言えば、半導体チップ側は封入樹脂厚を厚くしたい。したがって、ボール径の1/2を最低樹脂厚と考え、半田ボールのスタンドオフ高さとしている。

【0048】封入の後、パンプ、すなわち半田ボール付けを行う。この工程は従来通りである。耐湿性向上のために、ガラスエポキシ基板7と封止樹脂4の密着性を上げることはBGA型半導体装置にとって非常に重要である。本実施例ではこの目的のため、半導体チップ搭載側は密着性向上のために面を粗にしたり、密着性の良い物質を塗布することができる。これはチップ搭載面側に配線層がないため、容易に加工できるようにするためである。これにより、BGA型半導体装置といえども耐湿性の良いものが実現できる。

【0049】図5は本発明にかかる半導体装置の第5実施例の概略構成を説明する図であり、(a)は断面図、(b)は底面図である。

【0050】第5実施例はその主要構成部が第4実施例と同じであるが、ガラスエポキシ基板7に設けるデバイスホール2 aの形状を変更した(図5(b)参照)。第4実施例では、デバイスホールの大きさは半導体チップより小さかったが、本実施例ではチップより大きくする代わりに、デバイスホールを複数分割することでチップの支えを設け落下を防止している。第4実施例では半導体チップ側は、チップの外周部でガラスエポキシ基板と接着されていた。このため、最外周部にボンディングパッドを設けることができなかった。これに対し、第5実施例ではデバイスホール2 aが半導体チップ1より大き

いため、最外周部にボンディングパッドを配置することができ、使用ピン数を多く確保できる。このボンディングパッド配置であれば、現行の半導体チップがそのまま使用できるので、QFP等に使用していたチップで高性能なBGA型半導体装置が実現できる。

【0051】第4実施例および第5実施例は封止樹脂(モールド樹脂)4が配線リード側に突起部を形成するので半田パンプの過剰な潰れを防止することができる。従って、これらの実施例によれば、実装基板上の電極とランドとの距離を所定の値に保持することができるとともに、電極間のショートを防止することができるので、信頼性の高い実装が可能になる。

【0052】

【発明の効果】以上説明したように、本発明による半導体装置は中央にデバイスホールが開口された可撓性樹脂基板と、該可撓性樹脂基板の第1主面上に設けられ一端が前記デバイスホール内に突出してインナーリードになされ一部にランドが形成されている配線リードとを有するテープキャリアと、電極端子が前記インナーリードに接続された半導体チップと、少なくとも前記半導体チップの電極端子形成面を封止するとともに前記可撓性樹脂基板の第2主面上の均一の厚さに被覆する封止樹脂と、前記ランド上に形成された導電性パンプとを備え、前記ランドが前記デバイスホール開口部を除いて前記可撓性樹脂基板上にグリッドアレイ状に配置されていることにより、次のような極めて優れた効果が得られる。

【0053】(1)パッケージ基板として、安価な3レイヤー1メタル方式のキャリアテープを使用しており、さらにスルーホールメッキ等の工程を必要としないので、BGA型半導体装置を安価に提供することができる。

【0054】(2)既に確立した技術であるTCP技術をほぼそのまま適用して製造することができ、量産性が高いので上記(1)の効果に加え、一層のコストダウンが可能である。

【0055】(3)半導体チップをモールド樹脂により完全に被覆することができるので、耐湿性の向上を図ることができる。

【0056】(4)更に、本発明による半導体装置はモールド樹脂が可撓性樹脂基板の表面をその四辺端部近傍まで均一の厚さに被覆されているので、他の補強材を用いることなく剛性を確保することができ、その取扱は容易である。また、このモールド樹脂により外部端子であるパンプのコプラナリティも確保することができる。

【0057】(5)電気的配線長を従来構造品よりも短くすることができ、高周波領域まで使用が可能になる。

【図面の簡単な説明】

【図1】本発明による半導体装置の第1実施例の概略構成を説明する図であり、(a)は平面図、(b)は断面図、(c)は底面図である。

9

【図2】本発明による半導体装置の第2実施例の概略構成を説明する図であり、(a)は平面図、(b)は(a)のII-II線上断面矢視図である。

【図3】本発明による半導体装置の第3実施例の概略構成を説明する断面図である。

【図4】本発明による半導体装置の第4実施例の概略構成を説明する断面図である。

【図5】本発明による半導体装置の第5実施例の概略構成を説明する図であり、(a)は断面図、(b)は底面図である。

【図6】従来の半導体装置の概略構成を説明する断面図である。

【符号の説明】

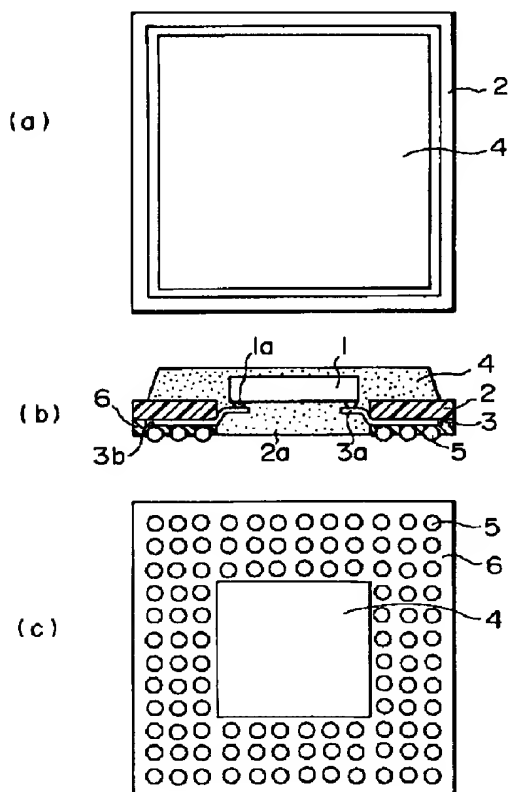
- 1 半導体チップ
- 1 a バンプ電極
- 2 可撓性樹脂基板

(6)

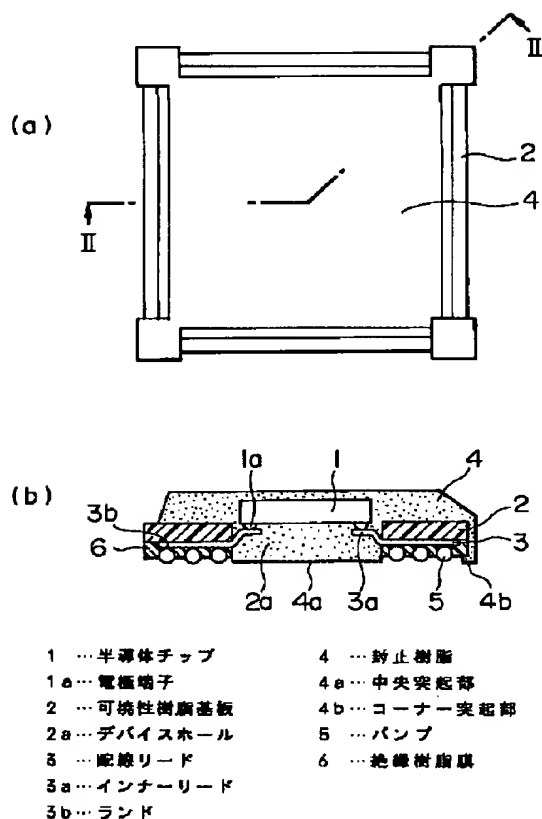
10

- 2 a デバイスホール
- 3 配線リード
- 3 a インナーリード
- 3 b ランド
- 4 封止樹脂
- 4 a 中央突起部
- 4 b コーナー突起部
- 5 バンプ
- 6 絶縁樹脂膜
- 10 ガラスエポキシ基板
- 8 配線リード
- 9 スルーホール
- 10 マウント材
- 11 ボンディングワイヤ
- 12 ボンディング点
- 13 配線パターン

【図1】

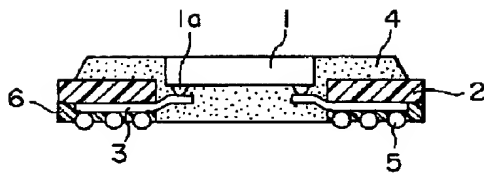


【図2】

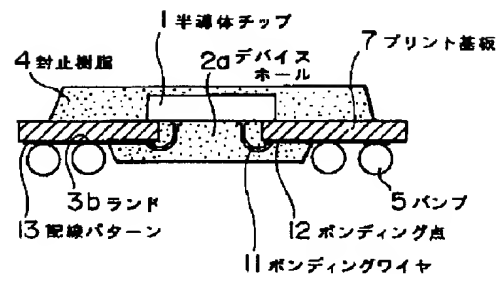


- 1 …半導体チップ
- 1 a …電極端子
- 2 …可撓性樹脂基板
- 2 a …デバイスホール
- 3 …配線リード
- 3 a …インナーリード
- 3 b …ランド
- 4 …封止樹脂
- 4 a …中央突起部
- 4 b …コーナー突起部
- 5 …バンプ
- 6 …絶縁樹脂膜

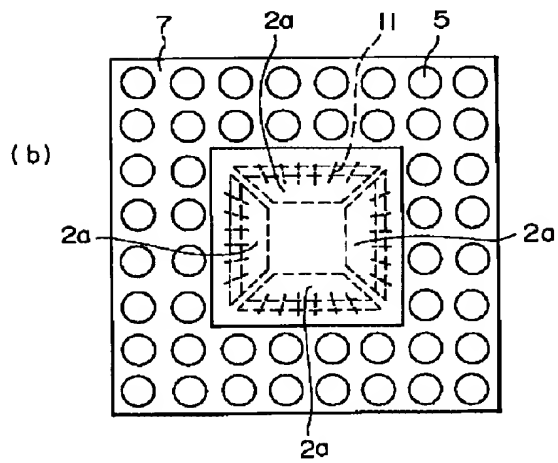
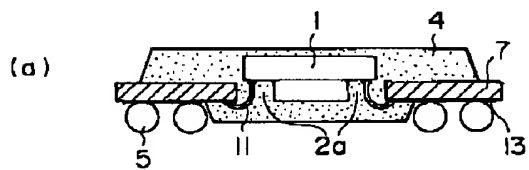
【図3】



【図4】



【図5】



【図6】

